

PAT-NO: JP406261536A

DOCUMENT-
IDENTIFIER: JP 06261536 A

TITLE: PARALLEL REDUNDANT OPERATING SYSTEM OF SWITCHING
REGULATOR

PUBN-DATE: September 16, 1994

INVENTOR-INFORMATION:

NAME COUNTRY

KURUMA, AKIO

ASSIGNEE-INFORMATION:

NAME COUNTRY

KOFU NIPPON DENKI KK N/A

APPL-NO: JP05043451

APPL-DATE: March 4, 1993

INT-CL (IPC): H02M003/00 , H02H003/05 , H02J001/12

ABSTRACT:

PURPOSE: To provide the parallel redundant operating system of switching regulators which can executes power supply without executing any process against abnormality unless the output voltage of a power supply system gets in a drooping portion even when the number of switching regulators which can be continuously operated in parallel becomes a prescribed number (n) or smaller and can improve the reliability and operating efficiency of the switching regulators.

CONSTITUTION: A current detecting and voltage converting circuit 11 detects that the load current flowing through each switching regulator 1, 2, ..., n, n+1 becomes zero and a failur detection circuit 13 generates a first abnormality signal and informs a parallel redundancy operation control circuit 8 of the signal. The circuit 8 executes abnormality processing by means of an abnormality processing circuit 87 and generates a second abnormality signal only

when a second comparator circuit 84 detects that the first abnormality signals from the switching regulators 1, 2, ..., n, n+1 and a DC voltage V0 across a common voltage bus 3 get in a drooping portion.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-261536

(43)公開日 平成 6年(1994) 9月16日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/00	W	8726-5H		
	C	8726-5H		
H 0 2 H 3/05	Q	4234-5G		
H 0 2 J 1/12		7319-5G		

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21)出願番号 特願平5-43451

(22)出願日 平成 5年(1993) 3月 4日

(71)出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72)発明者 車 章夫

山梨県甲府市大津町1088-3 甲府日本電気株式会社内

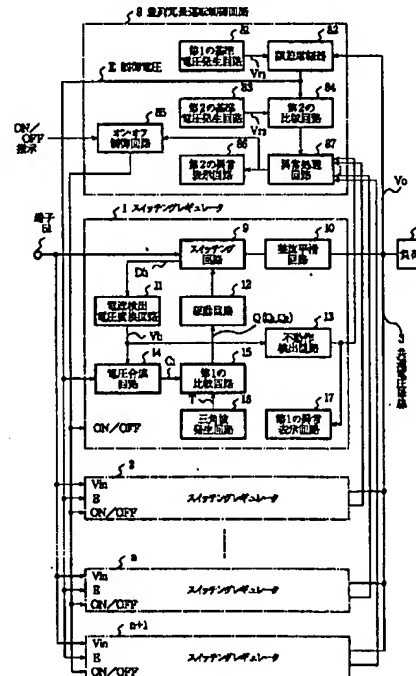
(74)代理人 弁理士 京本 直樹 (外 2名)

(54)【発明の名称】 スイッチングレギュレータの並列冗長運転方式

(57)【要約】

【目的】並列運転継続可能なスイッチングレギュレータの台数が所定の台数 (n) 以下になっても、電源システムの出力電圧が垂下領域にならない限り異常対応処理を実行せず、電源供給を実行でき、信頼性および運用効率を高めることが可能なスイッチングレギュレータの並列冗長運転方式を提供すること。

【構成】スイッチングレギュレータ 1, 2, ..., n, n+1では、各々を流れる個々の負荷電流が0になったことを電流検出電圧変換回路 11で検出し、不動作検出回路 13で第1の異常信号を発生し、並列冗長運転制御回路 8に通知する。並列冗長運転制御回路 8は、スイッチングレギュレータ 1, 2, ..., n, n+1からの第1の異常信号と、共通電圧母線 3上の直流電圧 V_0 が垂下領域に入ったことを第2の比較回路 84で検出すると、初めて異常処理回路 87で異常処理を実行し同時に第2の異常信号を発生する。



【特許請求の範囲】

【請求項1】 最大負荷構成時の負荷電流を賄うため

(n) 台必要な電流平衡化機能を有する複数のスイッチングレギュレータを(n+k) 台並列運転し、前記複数のスイッチングレギュレータの内の(k) 台迄の故障では電源システムの運転を継続するスイッチングレギュレータの並列冗長運転方式において、前記複数のスイッチングレギュレータの直流出力を接続する共通電圧母線と、この共通電圧母線の直流出力電圧と予め定める基準電圧との差分を増幅して得た出力電圧誤差増幅電圧を前記複数のスイッチングレギュレータに送出する電源制御手段と、前記複数のスイッチングレギュレータの各々を流れる個々の負荷電流を検出し所定の変換を行って求める負荷電流帰還情報電圧および前記出力電圧誤差増幅電圧を受け、前記個々の負荷電流を増減して前記出力電圧を昇降し、予め定める任意の電圧値を出力するよう合成し、前記複数のスイッチングレギュレータの各々の出力電圧制御用制御信号となす電圧合成手段と、前記負荷電流帰還情報電圧が前記個々の負荷電流の0に対応する値と等しくなったことを検出し第1の異常信号を発生する不動作検出手段と、前記出力電圧誤差増幅電圧が前記共通電圧母線上の前記直流出力電圧の低下時に得られる前記出力電圧誤差増幅電圧の電圧範囲であることを検出して不足電圧信号を発生する出力電圧誤差増幅電圧値検出手段と、前記第1の異常信号と前記不足電圧異常信号とを同時に検出したとき第2の異常信号を発生する異常処理手段とを備えることを特徴とするスイッチングレギュレータの並列冗長運転方式。

【請求項2】 複数のスイッチングレギュレータの各々に第1の異常信号の検出を表示する表示回路および警報回路の少くともいずれか一方を備えることを特徴とする請求項1記載のスイッチングレギュレータの並列冗長運転方式。

【請求項3】 異常処理手段が第2の異常信号を検出すると複数のスイッチングレギュレータに電源切断信号を送出する電源投入切断制御手段を備えることを特徴とする請求項1記載のスイッチングレギュレータの並列冗長運転方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はスイッチングレギュレータの並列冗長運転方式に関する。

【0002】

【従来の技術】従来のスイッチングレギュレータの並列冗長運転方式は、最大負荷構成時に必要な(n) 台のスイッチングレギュレータに加え、冗長分として(k) 台のスイッチングレギュレータを有し、合計(n+k) 台のスイッチングレギュレータにて並列冗長運転を行い、個々のスイッチングレギュレータ内に備えられた不動作検出回路が動作状態を監視し、動作すべき条件下で動作

しないスイッチングレギュレータが存在したときにこれを検出して異常表示すると共に、異常信号を並列冗長運転制御回路に送出する。並列冗長運転制御回路では(k+1) 個以上の異常信号を入力した時、即ち、正常に運転するスイッチングレギュレータの台数が(n-1) 台以下と判断したとき、電源切断等の異常対応処理を実行する。

【0003】

【発明が解決しようとする課題】上述した従来のスイッチングレギュレータの並列冗長運転方式は、並列冗長運転制御回路が並列運転継続可能と判定するスイッチングレギュレータの台数を、接続される負荷装置の負荷構成が最大の時に必要なスイッチングレギュレータの台数

(n) に一義的に決めており、しかもこれを固定している。従って、接続される負荷装置の負荷構成が最大でないときは、並列運転継続可能なスイッチングレギュレータの台数が(n) より少ない状態で並列運転継続可能であるにもかかわらず、並列運転継続可能なスイッチングレギュレータの台数が(n-1) 台以下になると、一方的に電源切断等の異常対応処理を実行してしまうという問題点がある。

【0004】本発明の目的は、並列運転継続可能なスイッチングレギュレータの台数が所定の台数(n) 以下になっても、電源システムの出力電圧が垂下領域にならない限り異常対応処理を実行せず、電源供給を実行でき、信頼性および運用効率を高めることが可能なスイッチングレギュレータの並列冗長運転方式を提供することにある。

【0005】

【課題を解決するための手段】本発明のスイッチングレギュレータの並列冗長運転方式は、最大負荷構成時の負荷電流を賄うため(n) 台必要な電流平衡化機能を有する複数のスイッチングレギュレータを(n+k) 台並列運転し、前記複数のスイッチングレギュレータの内の(k) 台迄の故障では電源システムの運転を継続するスイッチングレギュレータの並列冗長運転方式において、前記複数のスイッチングレギュレータの直流出力を接続する共通電圧母線と、この共通電圧母線の直流出力電圧と予め定める基準電圧との差分を増幅して得た出力電圧誤差増幅電圧を前記複数のスイッチングレギュレータに送出する電源制御手段と、前記複数のスイッチングレギュレータの各々を流れる個々の負荷電流を検出し所定の変換を行って求める負荷電流帰還情報電圧および前記出力電圧誤差増幅電圧を受け、前記個々の負荷電流を増減して前記出力電圧を昇降し、予め定める任意の電圧値を出力するよう合成し、前記複数のスイッチングレギュレータの各々の出力電圧制御用制御信号となす電圧合成手段と、前記負荷電流帰還情報電圧が前記個々の負荷電流の0に対応する値と等しくなったことを検出し第1の異常信号を発生する不動作検出手段と、前記出力電圧誤差

増幅電圧が前記共通電圧母線3上の前記直流出力電圧の低下時に得られる前記出力電圧誤差増幅電圧の電圧範囲であることを検出して不足電圧信号を発生する出力電圧誤差増幅電圧値検出手段と、前記第1の異常信号と前記不足電圧異常信号とを同時に検出したとき第2の異常信号を発生する異常処理手段とを備える構成である。

【0006】本発明のスイッチングレギュレータの並列冗長運転方式は、複数のスイッチングレギュレータの各々に第1の異常信号の検出を表示する表示回路および警報回路の少くともいずれか一方を備えてもよい。

【0007】本発明のスイッチングレギュレータの並列冗長運転方式は、異常処理手段が第2の異常信号を検出すると複数のスイッチングレギュレータに電源切断信号を送出する電源投入切断制御手段を備えてもよい。

【0008】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0009】図1は本発明の一実施例のブロック図である。

【0010】本実施例では、負荷の最大構成時に必要なスイッチングレギュレータの台数が n 台のとき、冗長台数 $k=1$ 台を加えた、常用 n アウト・オブ($n+1$)並列冗長運転の場合について説明する。

【0011】所定の非安定化直流電圧を入力する端子51は、スイッチングレギュレータ1, 2, ..., n , $n+1$ に接続する。スイッチングレギュレータ1, 2, ..., n , $n+1$ の出力は、共通電圧母線3を介して負荷4に接続している。又、スイッチングレギュレータ1, 2, ..., n , $n+1$ の内部構成はそれぞれ同一で、端子51からの非安定化直流電圧入力を受け、スイッチングして任意の交流電圧を出力するスイッチング回路9と、スイッチング回路9の出力を受け整流し平滑し共通電圧母線3に出力する整流平滑回路10と、スイッチング回路9の出力電流を電流検出用信号 D_{ii} として検出し、電圧に変換し、負荷電流帰還情報電圧 V_{ii} として出力する電流検出電圧変換回路11と、スイッチング回路9の出力電圧を制御する駆動回路12と、電流検出電圧変換回路11の出力する負荷電流帰還情報電圧 V_{ii} を受け、スイッチング回路9の不動作を検出し第1の異常信号として出力する不動作検出回路13と、別途説明する並列冗長運転制御回路8の出力する制御用信号 E と負荷電流帰還情報電圧 V_{ii} とを受け、これら2つの電圧を合成して個々の出力電流を増減して予め定める任意の電圧を出力するような直流出力電圧制御用の制御信号 C_1 として出力する電圧合成回路14と、制御信号 C_1 を受け、三角波発生回路16の発生する所定周期の三角波信号 T と比較照合し、制御信号 C_1 のレベルに対応したパルス幅のパルス信号を駆動回路12を介してスイッチング回路9に出力する第1の比較回路15と、不動作検出回路13の出力する第1の異常信号を受け異常表示する第1の異常表

示回路17とを備えている。

【0012】スイッチングレギュレータ1, 2, ..., n , $n+1$ を制御する並列冗長運転制御回路8は、予め定める第1の基準電圧 V_{r1} を発生する第1の基準電圧発生回路81と、第1の基準電圧 V_{r1} および共通電圧母線3の直流電圧 V_0 を受け、これらの電圧差($V_0 - V_{r1}$)に対応する誤差電圧を増幅した出力電圧誤差増幅電圧を制御用信号 E として出力する誤差増幅器82と、第2の基準電圧 V_{r2} を発生する第2の基準電圧発生回路83と、制御用信号 E と第2の基準電圧 V_{r2} とを比較照合し共通電圧母線3の直流電圧 V_0 が正常電圧か否かを判定する第2の比較回路84と、第2の比較回路84の判定結果およびスイッチングレギュレータ1, 2, ..., n , $n+1$ 内の任意の不動作検出回路13の第1の異常信号出力を受けこれらの信号を同時に検出したとき第2の異常信号を発生する異常処理回路87と、異常処理回路87の発生する第2の異常信号を受け、スイッチングレギュレータ1, 2, ..., n , $n+1$ の電源切断等の異常処理を実行するオン・オフ制御回路85および異常表示を行う第2の異常表示回路86とを備えている。

【0013】次に動作について説明する。

【0014】端子51からスイッチングレギュレータ1, 2, ..., n , $n+1$ に所定の非安定化直流電圧を入力する。スイッチングレギュレータ1以外のスイッチングレギュレータ2, ..., n , $n+1$ については、内部の構成がスイッチングレギュレータ1と同一であるため省略している。勿論、動作内容についても同様である。

【0015】並列冗長運転制御回路8の第1の基準電圧発生回路81は、所定の第1の基準電圧 V_{r1} を誤差増幅器82に供給している。誤差増幅器82は、各スイッチングレギュレータ1, 2, ..., n , $n+1$ が共通電圧母線3に供給している直流電圧 V_0 と、第1の基準電圧 V_{r1} との差を検出し、この差($V_0 - V_{r1}$)に対応する誤差電圧を増幅し制御用信号 E として第2の比較回路84および、各スイッチングレギュレータ1, 2, ..., n , $n+1$ に入力する。

【0016】第2の比較回路84は、入力された制御用信号 E と第2の基準電圧発生回路83から与えられる所定の第2の基準電圧 V_{r2} とを比較照合する。

【0017】ここで、第2の基準電圧 V_{r2} の選択方法は、制御用信号 E が、直流電圧 V_0 の値は正常であることを示す電圧値 E_{nom} であれば、第2の比較回路84の出力をTTL "L" レベルとし、一方直流電圧 V_0 は低下したことを示す電圧値 E_{abn} であれば、第2の比較回路84の出力をTTL "H" レベルとるように選択すればよい。

【0018】次に、スイッチングレギュレータ1では、端子51から入力する非安定化直流電圧をスイッチング回路9に入力する。スイッチング回路9は、例えば一対のスイッチングトランジスタを備えており、各スイッ

ングトランジスタに入力するスイッチングパルスにより矩形波電圧を生成し出力している。整流平滑回路10は、この矩形波電圧を整流平滑して、所定の直流電圧 V_0 を共通電圧母線3上に出力し、他のスイッチングレギュレータ2, ..., n, n+1から出力する直流電圧と合成し、負荷4に供給する。

【0019】図2はスイッチングレギュレータ内の電圧制御動作を説明する動作波形図である。(a)は三角波信号Tと制御信号 C_1 との関係を、(b)はスイッチングパルスQを、(c)はスイッチングパルス Q_1 を、

(b)はスイッチングパルス Q_2 をそれぞれ示している。

【0020】スイッチング回路9は、一対のスイッチングトランジスタの生成する矩形波電圧に対応し、電流検出用信号 D_{i1} を交流信号の形で出力し、電流検出電圧変換回路11に入力する。電流検出電圧変換回路11は、電流検出信号 D_{i1} を整流平滑し、所定の電流検出電圧 V_{i1} に変換して電圧合成回路14に送出する。電圧合成回路14は、制御用信号Eと電流検出電圧 V_{i1} とを合成し、直流出力電圧制御用の制御信号 C_1 として第1の比較回路15に入力する。第1の比較回路15は、三角波発生回路16から送られてくる所定周期の三角波信号Tと制御信号 C_1 とを比較照合し(図2の(a))、制御信号 C_1 のレベルに対応してパルス幅を制御するスイッチングパルスQをプッシュパルスの形で出力し(図2の(b))、駆動回路12を介してスイッチング回路9の一対のスイッチングトランジスタを駆動する。

【0021】一対のスイッチングトランジスタに入力されるスイッチングパルスQは、図2(c)および(d)に示されるようにパルス幅 Δt の一対のスイッチングパルス Q_1 および Q_2 より成っており、スイッチングパルス Q_1 および Q_2 の入力に対応して、入力端子51から入力する非安定化直流電圧をスイッチし、矩形波電圧を交流的に出力する。この場合、スイッチングパルス Q_1 および Q_2 のパルス幅 Δt の増減に対応して、スイッチングレギュレータ1から出力する直流電流も増減する。従って、スイッチングレギュレータ1から出力する直流電流の制御は、スイッチングパルス Q_1 および Q_2 のパルス幅を制御することにより行う。

【0022】電圧合成回路14での制御信号Eと電流検出電圧 V_{i1} との合成は、 $E + V_{i1}$ の形でを行い、制御信号 C_1 を第1の比較回路15に送る。図2は第1の比較回路での作用を概念的に示しており、(a)で制御信号 C_1 と三角波信号Tとを比較照合し、制御信号 C_1 のレベルに対応して(b)に示すパルス幅 ΔT のスイッチングパルスQを生成する。このスイッチングパルスQにより(c)および(d)に示すスイッチングパルス Q_1 および Q_2 を生成して駆動回路12に送出する。ここで、共通電圧母線における直流電圧 V_0 が低下すると、制御用信号Eのレベルが低下するため、直流出力電流は増加す

る方向に制御される。逆に、電流検出電圧 V_{i1} が増大すると、直流出力電流は減少する方向に制御される。

【0023】なお、他のスイッチングレギュレータ2, ..., n, n+1の動作についても、上述のスイッチングレギュレータ1の場合と全く同様である。

【0024】このようにして、スイッチングレギュレータ1, 2, ..., n, n+1は並列冗長運転制御回路8からの制御用信号Eに、各々のスイッチングレギュレータを流れる負荷電流帰還情報である電流検出電圧 V_i を合成し、スイッチングレギュレータのオン・オフ制御用信号としてスイッチングパルス Q_1 および Q_2 を生成することにより、共通電圧母線3上の直流電圧 V_0 の安定化制御と、各スイッチングレギュレータの出力電流の電流平衡化とを図っている。

【0025】次に、上記の構成のまま、負荷4が最大構成でなく負荷4へ直流電力を供給するスイッチングレギュレータの台数がm台($m < n$)で、負荷4に対応する負荷電流が賄われる場合の本発明のスイッチングレギュレータの並列冗長運転方式の動作について説明する。

【0026】スイッチングレギュレータj($j: j = 1, 2, \dots, n, n+1$)が正常に動作して直流電流を出力しているときには電流検出電圧変換回路11から、直流出力電流に対応した電流検出電圧 V_{ij} を不動作検出回路13に入力する。不動作検出回路13では、入力する電流検出電圧 V_{ij} に対応して、TTL“L”レベルを入力すると正常動作中を示し、TTL“H”レベルを入力すると異常表示する第1の異常表示回路17と、並列冗長運転制御回路8内の第2の比較回路84の出力する信号がTTL“H”レベルで、スイッチングレギュレータ1, 2, ..., n, n+1の少なくとも1つからTTL“H”レベルの入力を受けると、異常処理を実行する異常処理回路87に出力する。

【0027】次に、スイッチングレギュレータの(n+1)台中の(m)台は正常動作しており、スイッチングレギュレータの(n-m+1)台の中の1つ以上が、何んらかの障害により不動作状態になると、該当するスイッチングレギュレータ内の不動作検出回路13は、不動作状態を示すTTL“H”レベルを第1の異常表示回路17および並列冗長運転制御回路8内の異常処理回路87に出力する。この結果、該当するスイッチングレギュレータの第1の異常表示回路17は、異常表示することにより異常となったスイッチングレギュレータを特定化する。一方、異常処理回路87では、共通電圧母線3上の直流電圧 V_0 は垂下していないので、第2の比較回路84が異常処理をインヒビットするTTL“L”レベルを入力しており異常処理は実行されず、スイッチングレギュレータ(m)台の運転は継続する。

【0028】なお、上述の状態は、定期保守時等負荷4に対する電力供給の停止可能な時点で並列冗長運転システムを停止し、障害を表示したスイッチングレギュレー

タの保守交換、又は修理等により、すべてのスイッチングレギュレータ1, 2, ..., n, (n+1)を正常な状態に回復させることができる。

【0029】次に、スイッチングレギュレータの(m-1)台が正常動作しており、スイッチングレギュレータの(n-m+2)台が何んらかの障害により不動作状態になると、該当するスイッチングレギュレータの動作検出回路13は、不動作状態を示すTTL“H”レベルを第1の異常表示回路17および並列冗長運転制御回路8内の異常処理回路87に出力する。この結果、該当するスイッチングレギュレータの第1の異常表示回路17は、異常表示することにより異常となったスイッチングレギュレータを特定化する。一方、スイッチングレギュレータ(m-1)台では負荷4に対応する負荷電流を賄うことができないため、共通電圧母線3上の直流電圧V₀は垂下領域に入り、これを検出した第2の比較回路84は、異常処理の実行を可能とするTTL“H”レベルを出力する。このため、異常処理回路87は、2種類の異常および障害表示を受けて異常処理を実行し、異常信号を第2の異常表示回路86に出力し異常表示するとともに、共通電圧母線3上の直流電圧V₀が不安定になる可能性や正常なスイッチングレギュレータへの負荷集中による信頼性の低下を防止するため、オン・オフ制御回路85を介して電源切断等の異常処理を実行する。

【0030】前述の説明は、スイッチングレギュレータをすべて同一型式として説明したが、並列冗長運転制御回路8の一部、またはすべてを含むマスタースイッチングレギュレータと、前述の説明のスイッチングレギュレータと同一回路のスレーブスイッチングレギュレータとの組み合わせの場合に対しても本発明が有効に適用されることは言うまでもない。また、並列冗長運転制御回路8および各スイッチングレギュレータ1, 2, ..., n, n+1での制御系回路の構成または制御方式に関しては前述の説明で示した例に限定されず、他の制御系回路または制御方式等を用いる場合についても本発明を適宜適用できる。

【0031】

【発明の効果】以上説明したように、本発明は、複数のスイッチングレギュレータの直流出力を接続する共通電圧母線と、この共通電圧母線の直流出力電圧と予め定める基準電圧との差分を増幅して得た出力電圧誤差増幅電圧を複数のスイッチングレギュレータに送出する電源制御手段と、複数のスイッチングレギュレータの各々を流れる個々の負荷電流を検出し所定の変換を行って求める負荷電流帰還情報電圧および出力電圧誤差増幅電圧を受け、個々の負荷電流を増減して出力電圧を昇降し、予め定める任意の電圧値を出力するよう合成し、複数のスイッチングレギュレータの各々の出力電圧制御用制御信号となす電圧合成手段と、負荷電流帰還情報電圧が個々の

負荷電流の0に対応する値と等しくなったことを検出し第1の異常信号を発生する不動作検出手段と、出力電圧誤差増幅電圧が共通電圧母線上の直流出力電圧の低下時に得られる出力電圧誤差増幅電圧の電圧範囲であることを検出して不足電圧信号を発生する出力電圧誤差増幅電圧値検出手段と、第1の異常信号と不足電圧異常信号とを同時に検出したとき第2の異常信号を発生する異常処理手段とを備えることにより、並列運転継続可能なスイッチングレギュレータの台数が所定の台数以下になっても、電源システムの出力電圧が垂下領域にならない限り異常対応処理を実行せず、電源供給を実行できるので信頼性および運用効率が高い電源システムを提供できるという効果がある。

【図面の簡単な説明】

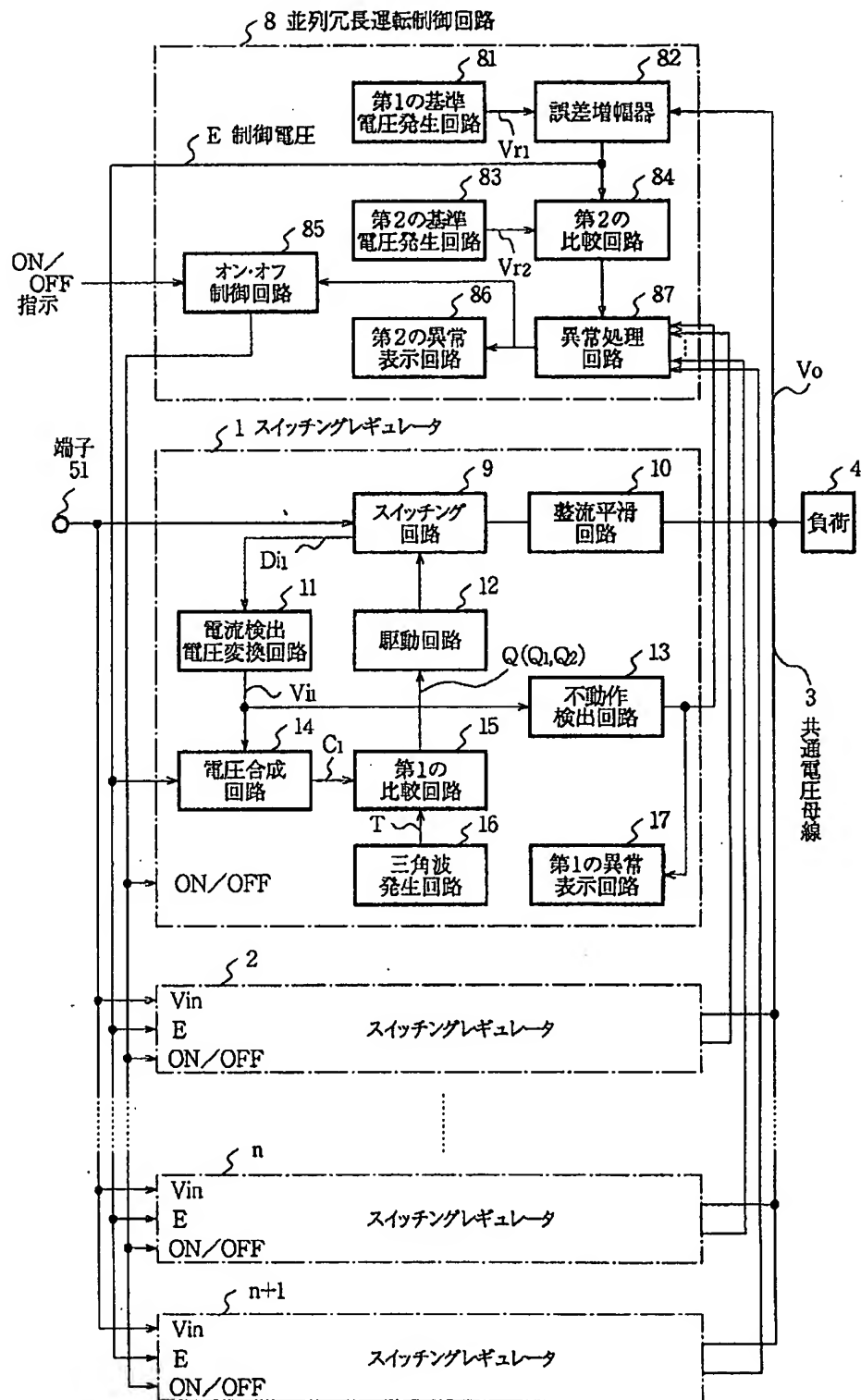
【図1】本発明の一実施例のブロック図である。

【図2】スイッチングレギュレータ内の電圧制御動作を説明する動作波形図である。

【符号の説明】

1, 2, ..., n, n+1	スイッチングレギュレータ
3	共通電圧母線
4	負荷
8	並列冗長運転制御回路
9	スイッチング回路
10	整流平滑回路
11	電流検出電圧変換回路
12	駆動回路
13	不動作検出回路
14	電圧合成回路
15	第1の比較回路
16	三角波発生回路
17	第1の異常表示回路
51	端子
81	第1の基準電圧発生回路
82	誤差増幅器
83	第2の基準電圧発生回路
84	第2の比較回路
85	オン・オフ制御回路
86	第2の異常表示回路
87	異常処理回路
C ₁	制御信号
D _{i1}	電流検出用信号
E	制御用信号
T	三角波信号
Q, Q ₁ , Q ₂	スイッチングパルス
V ₀	共通電圧母線3上の直流電圧
V _{i1}	負荷電流帰還情報電圧
V _{r1}	第1の基準電圧
V _{r2}	第2の基準電圧

【図1】



【図2】

